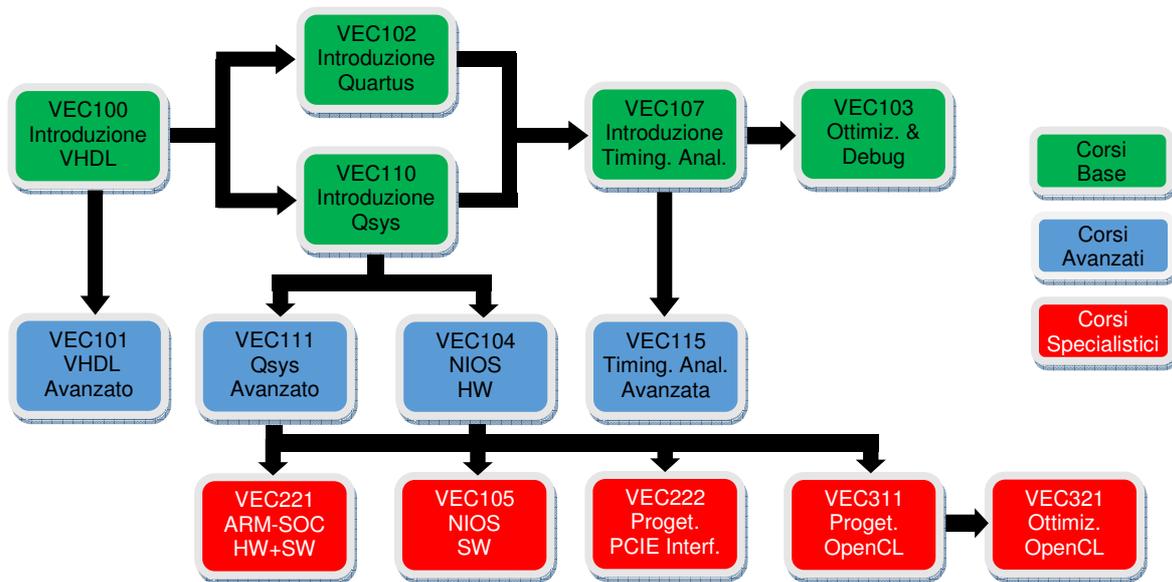




Struttura e sequenza dei principali corsi FPGA



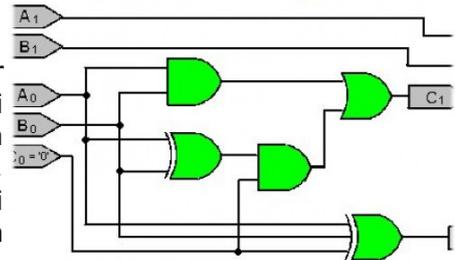


VEC100-Introduction to VHDL

Questo "**corso VHDL base**" è un'introduzione generale al linguaggio VHDL e al suo utilizzo nella progettazione di logiche programmabile su FPGA o PLD. L'enfasi è posto sui costrutti di sintesi di VHDL (comunemente detto VHDL sintetizzabile).

Tu potrai acquisire una conoscenza di base di VHDL per poter iniziare a creare i files di progetto di una FPGA. Nelle sessioni pratiche di laboratorio, questa tua nuova conoscenza verrà messa alla prova scrivendo progetti semplici ma pratici; questo ti permetterà, con il supporto dell'istruttore, di risolvere i dubbi che logicamente sorgono alla prima applicazione della nuova metodologia di progetto.

```
if SUM='1' then C<=A+B;
else C<=A-B;
```



Potrai verificare i tuoi progetti compilando nell'ambiente software Quartus® Prime e simulando simulazione nell'ambiente di simulazione ModelSim®-Intel®

Durata del corso: 2 giorni

Al completamento del corso

Tu sarai in grado di:

- Implementare i costrutti VHDL di base
- Usare le design units VHDL: Entity, architecture, configuration, package
- Creare modelli comportamentali e strutturali
- Usare degli operatori aritmetici
- Scrivere macchine a stati
- Incorporare blocchi strutturali Intel®

Competenze richieste:

- Il background di progettazione logica digitale è indispensabile
- Una conoscenza della simulazione non è necessaria ma utile
- Una conoscenza di un linguaggio di programmazione (ad esempio il linguaggio "C") non è necessaria ma utile
- Non è necessaria alcuna conoscenza del VHDL o del software Quartus Prime.





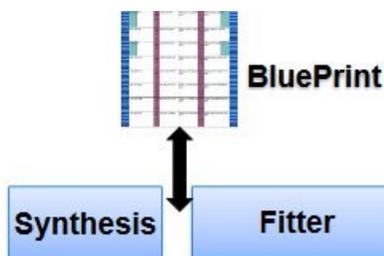
GEB Enterprise S.r.l.

General Electronics Business

VEC102-QUARTUS Prime: Foundation



In questo **corso FPGA** imparerai come utilizzare il software Quartus® Prime per sviluppare un progetto FPGA, iniziando dall'apertura e dal setting iniziale fino alla **programmazione della FPGA**. Tu saprai creare un nuovo progetto, partendo dai files "sorgenti" (schemi o vhdl), nuovi o già esistenti, li compilerai e analizzerai i risultati usando i report generati da Quartus.



Imparerai come cercare le informazioni relative alla compilazione, come usare le impostazioni e le assegnazioni per "pilotare" la compilazione, come gestire le assegnazioni degli I/O (posizione, banco, etc) e dei parametri correlati (interfaccia, slew rate), usando sia il Planner Pin sia il nuovo tool BluePrint Platform Designer.

Imparerai anche la struttura dei file necessari alla programmazione dei dispositivi, come programmare una FPGA sulla tua scheda. Imparerai anche le tecniche che ti aiuteranno a pianificare il tuo progetto.

Utilizzerai le nuove prestazioni di Quartus Prime che ti possono aiutare a raggiungere i tuoi obiettivi di progettazione più velocemente. Potrai anche imparare a pianificare e gestire le assegnazioni di I/O per il dispositivo scelto.

Durata del Corso: 2 giorni

Al completamento del corso Tu sarai capace di:

- Prendere le decisioni preliminari per preparare il progetto in ambiente Quartus Prime.
- Creare, gestire e compilare i progetti Quartus Prime.
- Utilizzare il tool Quartus Prime per visualizzare i risultati della compilazione.
- Rivedere e controllare i vari report generati da Quartus Prime e approfondire le analisi con i visualizzatori grafici.
- Pianificare e gestire le assegnazioni dei I/O pin utilizzando sia Pin Planner e sia BluePrint Platform Designer.
- Comprendere i file di programmazione delle FPGA e il loro utilizzo con il programmatore insito in Quartus Prime.

Competenze richieste:

- Conoscenza della progettazione di logica digitale
- Capacità di descrivere un sistema hardware utilizzando VHDL, Verilog o schematico.
- Esperienza con i PC e con il sistema operativo Windows



GEB Enterprise S.r.l.
General Electronics Business
Via Rocca di Papa, 21 -00179 Roma, Italy
Phone: 06 7827464 Fax: 06 7806894
Email: info@geb-enterprise.com
Web: www.geb-enterprise.com

GEB Enterprise s.r.l. reserves the right to make changes in design or specification at any time without notice.
Document Rev. 0.9.1, Printed 20-01-2018 ©2008 GEB-Enterprise s.r.l.

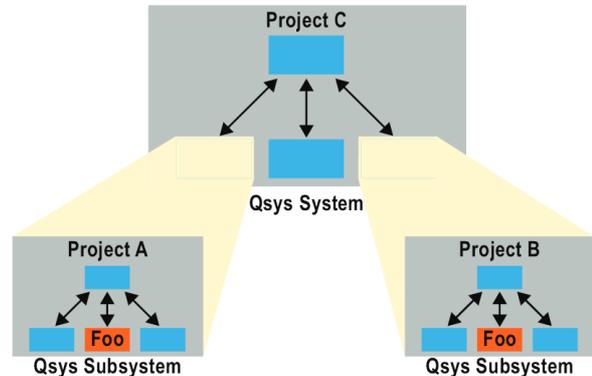
All brand names or product names mentioned are trademarks or registered trademarks of their respective owners



VEC110 Introduzione al tool Qsys, System Integration Tool

Questo corso di progettazione FPGA vi insegnerà come costruire rapidamente progetti per FPGA Intel® utilizzando lo strumento di editing e integrazione di sistema QSYS sviluppato dall'Intel. Tu diventerai più efficiente utilizzando QSYS ed espanderai la tua conoscenza del software di progettazione FPGA Quartus®

Prime. Imparerai come utilizzare rapidamente le IP standard presenti in libreria e ad integrarvi la TUA logica personalizzata atta a realizzare il TUO sistema per la TUA specifica applicazione.



Visto che QSYS rende il riutilizzo dei progetti facile attraverso interfacce standard, esamineremo insieme le interfacce:

- Intel Avalon-MM, memory mapped, master e slave.
- Intel Avalon-ST, Streaming, Source e Sink.

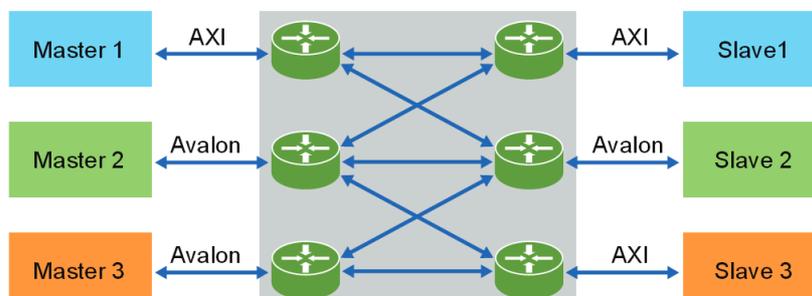
Saranno anche introdotte le interfacce standard AMBA™ e AXI®, usate dal processore ARM®. Il corso comprende molte esercitazioni pratiche significative, dove guadagnerai confidenza con l'uso dello strumento, sia per la progettazione di sistema sia dei suoi componenti personalizzati, descritti mediante codice HDL (Verilog, VHDL) ma anche mediante schema elettrico convenzionale.

Al completamento del corso Tu sarai capace di:

- Costruire sistemi digitali nello strumento QSYS
- Integrare i file generati da QSYS nel flusso di progettazione Quartus Prime
- Creare dei componenti personalizzati, con interfacce sia Avalon-MM sia Avalon-ST, e di integrarli nel tuo sistema

Competenze richieste:

- Conoscenza della progettazione di logica digitale
- Corso FPGA, VEC 102 Introduzione a Quartus Prime o la conoscenza pratica del suo funzionamento
- Nozioni della metodologia di codifica HDL (utile ma non obbligatorio)



VEC107

Timing





GEB Enterprise S.r.l.

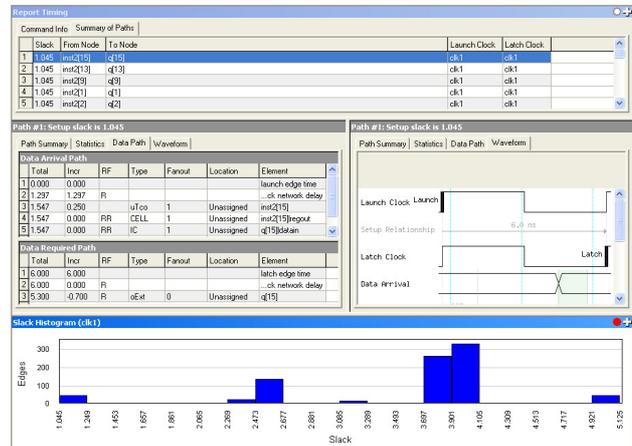
General Electronics Business

Analysis con TIMEQUEST

In questo **corso FPGA** imparerete come indirizzare, costringere e analizzare le temporizzazioni di un progetto utilizzando l'analizzatore di temporizzazione TimeQuest presente nel software Quartus® Prime.

Questo includerà la comprensione dei parametri di temporizzazione per circuiti digitali e per FPGA, la scrittura del Synopsys Design Constraint (SDC) file, la generazione dei vari rapporti di temporizzazione mediante analizzatore TimeQuest fino ad applicare la conoscenze acquisite su un progetto FPGA.

Oltre ad imparare i requisiti di base per garantire che il progetto soddisfa i requisiti temporali, vedrete anche come l'analizzatore TimeQuest può rendere facile creare vincoli temporali aiutandovi a soddisfare i requisiti temporali del progetto.



Difatti TimeQuest sarà impiegato sia in modo batch, durante la compilazione Quartus per verificare il risultato della sintesi, sia in modalità interattiva per effettuare analisi approfondite dei requisiti applicati al circuito, permettendovi di risolvere le violazioni temporali.

Durata del corso: 2 giorni

Al completamento del corso Tu sarai in grado di:

- Capire le analisi di timing effettuate nel flusso di progetti FPGA con l'analizzatore TimeQuest.
- Applicare vincoli di temporizzazione, sia semplici ma anche complessi, su un progetto FPGA.
- Analizzare la sincronizzazione in un progetto FPGA usando l'analizzatore di temporizzazione TimeQuest
- Scrivere e manipolare un file SDC per l'analisi e controllare (pilotare) la compilazione in Quartus Prime

Competenze richieste:

- Esperienza con nell'uso di PC e del sistema operativo windows
- Conoscenza di tecniche di progettazione di logiche digitali
- Completamento del corso "VEC 102, introduzione a Quartus prime" o una sua buona conoscenza pratica.



GEB Enterprise S.r.l.
General Electronics Business
Via Rocca di Papa, 21 -00179 Roma, Italy
Phone: 06 7827464 Fax: 06 7806894
Email: info@geb-enterprise.com
Web: www.gcb-enterprise.com

GEB Enterprise s.r.l. reserves the right to make changes in design or specification at any time without notice.
Document Rev. 0.9.1, Printed 20-01-2018 ©2008 GEB-Enterprise s.r.l.

All brand names or product names mentioned are trademarks or registered trademarks of their respective owners

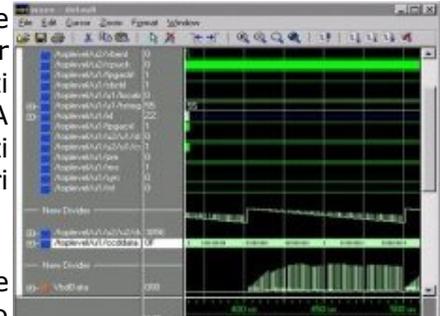


GEB Enterprise S.r.l.

General Electronics Business

VEC101: Corso VHDL avanzato

In questo **corso VHDL avanzato** imparerai e sperimenterai le tecniche di codifica efficiente di VHDL sintetizzabile per dispositivi logici programmabili (FPGA e CPLD). I concetti presentati saranno principalmente finalizzati ai dispositivi FPGA Intel® con l'utilizzo del software Quartus® Prime, ma i concetti e i metodi potranno essere egualmente applicati ad altri dispositivi e strumenti di sintesi.



Tu potrai acquisire esperienza nella scrittura di codice comportamentale e strutturale, imparerai a codificare in modo efficace le funzioni logiche comuni, tra cui i registri, le memoria e le funzioni aritmetiche. Ti sarà anche illustrato come utilizzare i costrutti VHDL per parametrizzare i tuoi progetti aumentandone la loro flessibilità e riutilizzabilità.

Sarai introdotto all'uso dei testbenches, imparerai i costrutti VHDL utilizzati per la loro costruzione, e modi comuni per scriverli. Nel svolgere gli esercizi utilizzerai il software Quartus Prime per elaborare il codice VHDL e il software ModelSim®-Intel® per la simulazione

Durata del Corso: 2 giorni

Alla fine del corso

Tu sarai in grado di:

- Sviluppare stili di codifica per una sintesi efficiente nel:
 - Sfruttare le peculiarità del dispositivo
 - Inferenziare funzioni logiche
 - Usare gli operatori aritmetici
 - Scrivendo macchine a stati
- Utilizzare il tool "RTL Viewer" presente in Quartus Prime per verificare i risultati della sintesi (quando necessario)
- Incorporare blocchi Intel® strutturali nei progetti VHDL
- Scrivere testbench semplici per la verifica del progetto
- Crea blocchi e progetti parametrici

Competenze richieste:

- Aver effettuato il corso VEC100, introduzione al VHDL, o avere una conoscenza pratica equivalente.
- Comprensione dei processi di simulazione e sintesi
- Il background di progettazione logica digitale è indispensabile



GEB Enterprise S.r.l.

General Electronics Business

Via Rocca di Papa, 21 -00179 Roma, Italy

Phone: 06 7827464 Fax: 06 7806894

Email: info@geb-enterprise.com

Web: www.geb-enterprise.com

GEB Enterprise s.r.l. reserves the right to make changes in design or specification at any time without notice.

Document Rev. 0.9.1, Printed 20-01-2018 ©2008 GEB-Enterprise s.r.l.

All brand names or product names mentioned are trademarks or registered trademarks of their respective owners



VEC104: Corso sviluppo NIOS hardware

Questo **corso di programmazione FPGA** partirà dalla vostra conoscenza della progettazione del sistema **QSYS** e ti insegnerà ad incorporare un microprocessore **Nios®II** a 32 bit soft core nel vostro progetto su FPGA.

Il corso si concentra sugli aspetti hardware di utilizzo del processore con esercizi che ti permettono di diventare rapidamente operativo.

Attraverso le lezioni e gli esercizi insiti nel **corso di programmazione FPGA** tu configurerai i componenti del processore **Nios®II**, imparerai il flusso di generazione del software integrato nel flusso hardware, eseguirai il debug e "la partenza" (bring up) del progetto. Impererai anche a simulare il tuo progetto **Nios®II** in ModelSim, a creare istruzioni personalizzate per progettare acceleratori hardware di funzioni che se eseguite come software, otterrebbero prestazioni critiche.



Al termine del corso avrai la padronanza degli strumenti necessari per iniziare a utilizzare da subito il processore NiosII nei tuoi progetti FPGA sulla tua scheda target (o su un kit di sviluppo), sarai produttivo fin da subito

Durata del Corso: 2 giorni

Alla fine del corso

- Tu sarai in grado di:
- Configurare e compilare un progetto con il microprocessore NiosII mediante l'ambiente software QSYS & Quartus Prime
- Creare, compilare, eseguire e collaudare progetti software per il processore NiosII utilizzando il software l'ambiente di Build del progetto software per Eclipse (SBTE)
- Verificare la funzionalità hardware del progetto FPGA utilizzando la console di sistema
- Simulare sistemi FPGA basati sul NiosII in ModelSim
- Utilizzare QSYS per incorporare le istruzioni personalizzate (custom instructions) in un sistema embedded NiosII
- Progettare hardware e software NiosII utilizzando un kit di sviluppo.

Conoscenze pregresse:

- Vi raccomandiamo di aver effettuato i seguenti corsi di programmazione FPGA:
- VEC102: Introduzione a QUARTUS Prime
- VEC110: Introduzione al tool QSYS (Editor di sistemi FPGA)
- Inoltre sono necessarie:
- Conoscenze nella progettazione digitale in digital logic design
- Qualche conoscenza, anche minima, della programmazione in C per sistemi embedded

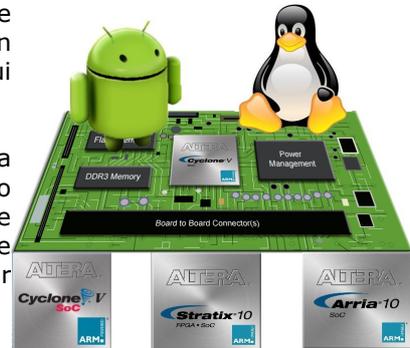




VEC221: Corso ARM SoC su Fpga Intel®

Il corso ARM SOC è composto da due sessioni, la prima è principalmente dedicata all'hardware, la seconda esplorerà gli aspetti software con particolare attenzione al processo d'avvio del sistema operativo, tra cui anche l'avvio di Linux

VEC2210, sessione hardware: In questo corso FPGA imparerai a progettare dei System On Module (SOM) su FPGA che contengono il processore ARM® Cortex-A9 Hard Processor System (HPS) come le Cyclone® SOC e Arria® SoC. Il corso si concentra sugli aspetti hardware della progettazione del sistema e SoC e include laboratori pratici per farti divenire operativo rapidamente.



Imparerai ad aggiungere e configurare i componenti del processore gestendo il sistema con il tool QSYS. Potrai eseguire il debug dell'hardware utilizzando strumenti di debug standard come il SignalTap II, l'analizzatore logico embedded, e la consolle di sistema. Discuteremo lo scambio di files fra gli ambienti hardware e software che semplificano notevolmente gli aspetti di sviluppo di quest'ultimo. Potrai eseguire il debug di basso livello della FPGA interagendo con il Debugger software. Discuteremo anche i vari modi in cui i componenti FPGA e HPS possono essere caricati e avviati. Al completamento sarete in grado di utilizzare il dispositivo SoC per realizzare il vostro progetto SOM

A fine sessione Tu sarai in grado di:

- Creare, gestire e compilare sistemi FPGA SOC nel tool QSYS
- Simulare le interfacce HPS utilizzando i testbench di simulazione in ambiente QSYS e la generazione dei BFM, Bus Functional Modules
- "Far Salire" ed effettuare il debug di un sistema SOC usando la consolle di sistema
- Capire lo scambio di file fra ambienti hardware e software.
- Progettare ed effettuare il debug con un kit di sviluppo basato Cyclone V

VEC2211, sessione software: Questo corso FPGA è per tecnici orientati allo sviluppo del firmware e del software di basso livello, ha lo scopo di istruirvi riguardo allo sviluppo e l'avvio del software sul sistema integrato ARM® Cortex-A9 hard processor (HPS) in un SoC. Il corso non è destinato a insegnare come sviluppare le applicazioni software o i driver, ma piuttosto si concentra sugli unici aspetti del flusso software HPS embedded su una FPGA Intel® SoC.

Imparerai tutto il necessario per iniziare lo sviluppo di software per il sistema HPS, dove guardare nei tools e nella documentazione per avere un aiuto aggiuntivo, così come utilizzare la versione Intel® del tool di sviluppo software ARM DS-5 per eseguire il debug del software.

A fine sessione Tu sarai in grado di:

- Comprendere il file di scambio hardware-to-software
- Comprendere le fasi della sequenza di avvio HPS e gli scenari di avvio
- Creare il boot-loader di secondo livello
- Scrivere applicazioni bare-metal utilizzando le librerie hardware dell'Intel®
- Acquisire come iniziare ad usare vari sistemi operativi per il processore ARM
- Ottenere il supporto dal portale della comunità di sviluppo di Linux

Prerequisiti e conoscenze necessarie:

- Completamento del corso VEC110, Integrazione di sistemi con QSYS
- Conoscenze di base del software e della codifica in C/C++ sono necessarie
- La conoscenza delle FPGA non è necessaria, ma è utile





VEC222-Creare un link PCI Express Links usando una FPGA

Vuoi espandere il tuo PC Embedded aggiungendo porte di ingresso e uscita su PCIe? Stai cominciando a lavorare su un progetto che utilizza uno o più interfacce PCI Express®? Hai domande riguardo al link PCIe® su FPGA? Vuoi sapere come costruire il tuo sistema su FPGA in poco tempo? Vuoi sapere come simulare le tue funzioni integrate con una IP PCI express Intel?

Allora questo **corso PCIe** dovrebbe interessarti! Inizieremo con una panoramica di alto livello del protocollo PCI Express, a seguire si illustrerà il flusso di progettazione per utilizzo della IP PCI Express hardwired disponibili in Cyclone®V, Arria®V, Arria®10 e Stratix® V, in particolare quando si utilizza lo strumento di progettazione del sistema QSYS.

Vedrai come eseguire la verifica del vostro link PCIe, sia attraverso la simulazione con il simulatore behavioural sia in-system, sulla una scheda target. Scoprirai le funzioni dei dispositivi avanzati che ti danno al tuo progetto su bus PCI Express una marcia in più grazie alla loro grande flessibilità e capacità.

Entro la fine del corso, ti sentirai in grado di "tirare su" agevolmente il tuo collegamento PCIe e avrai la soddisfazione di vederlo funzionare.

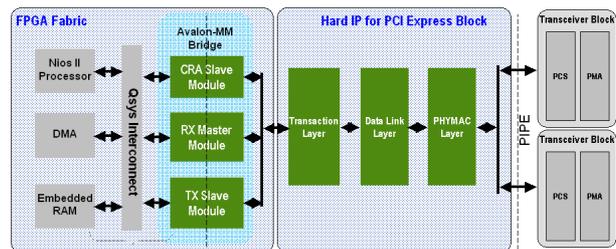
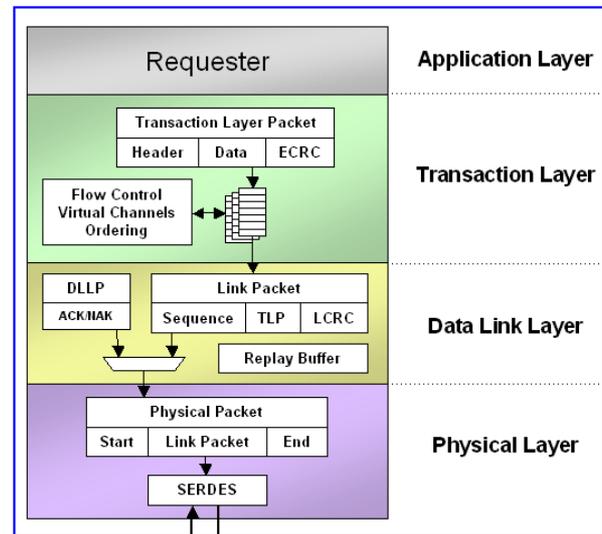
Durata del corso: 2 giorni

Al completamento del corso tu sarai capace di:

- Definire e configurare le caratteristiche e le funzionalità per la PCI Express hardwired IP.
- Costruire una soluzione PCI Express su una FPGA utilizzando l'Editor di sistemi o QSYS.
- Genera un testbench per simulare la IP PCI Express hardwired e modificarlo per effettuare test personalizzati sulle funzioni personalizzate aggiunte.
- Eseguire il debug el link PCIe utilizzando gli strumenti Intel® e le funzioni del transceiver di supporto al debug.

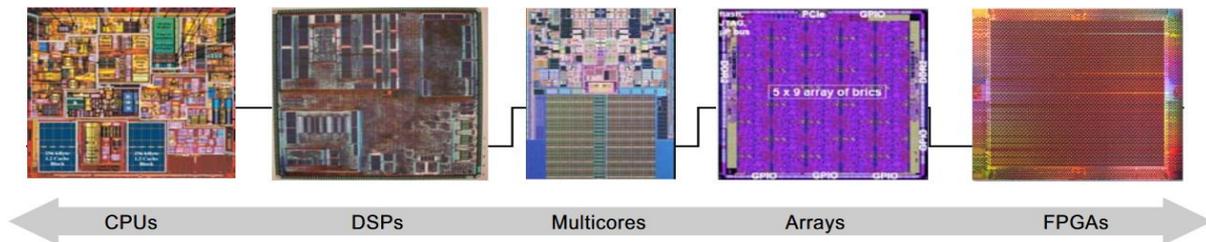
Competenze richieste:

- La conoscenza delle specifiche del protocollo PCI Express è utile, ma non necessaria
- La familiarità con l'architettura transceiver ad alta velocità, in alternativa comune si può visualizzare il corso online "Basics Transceiver".
- La familiarità con flusso di progettazione FPGA/CPLD
- La familiarità con il software di progettazione Quartus Prime
- Una certa familiarità con lo strumento di progettazione QSYS è utile, ma non necessaria



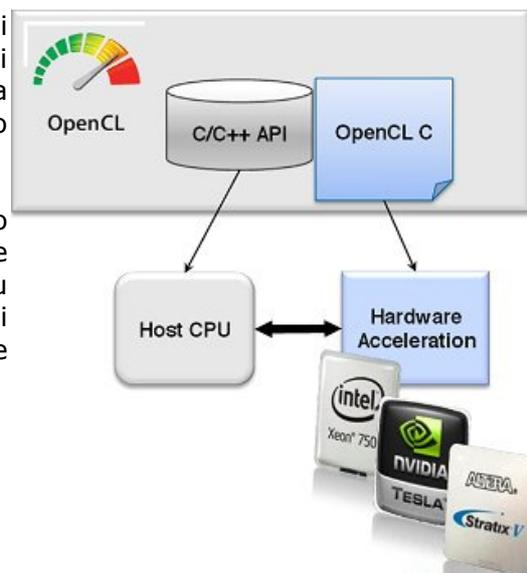


VEC311: Calcolo Parallelo con OPENCL su FPGA Intel



OpenCL è uno standard per la scrittura di programmi paralleli su sistemi eterogenei. Nell'ambiente FPGA, i costrutti OpenCL sono sintetizzati in una logica personalizzata ad "hoc" per l'algoritmo. Il corso introduce i concetti di base di calcolo parallelo.

Il corso FPGA OPECL copre i costrutti del flusso OpenCL standard & Intel®, il compilatore converte automaticamente il codice kernel C in hardware su fpga che interagisce con il software sull'host. Nei laboratori pratici, tu scriverai dei programmi che girano sia su CPU che su FPGA.



Durata del corso: 2 giorni

Al completamento del corso

Tu sarai in grado di:

- Descrivere concetti di calcolo parallelo di alto livello
- Comprendere i vantaggi di usare la soluzione OpenCL di Intel®
- Conoscere i principi fondamentali dello standard OpenCL
- Scrivere semplici programmi in OpenCL
- Compilare ed eseguire programmi OpenCL utilizzando l'ambiente Intel®

Competenze richieste:

- Conoscenza di base del linguaggio di programmazione C



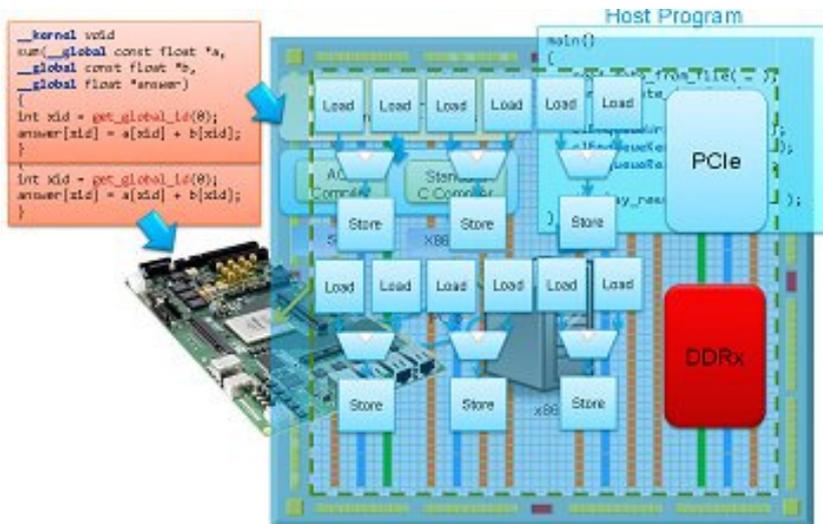


VEC321: Ottimizzazione codice OPENCL su FPGA Intel

Il corso copre le tecniche di ottimizzazione necessarie per implementare una soluzione OpenCL ad alte prestazioni su FPGA Intel® utilizzando il SDK per OpenCL.

Discuteremo le buone pratiche di codifica, i modi per migliorare l'efficienza d'elaborazione dei dati, l'efficienza di accesso alla memoria, e le ottimizzazioni delle interazioni sul lato host.

Ci concentreremo anche sulle caratteristiche specifiche del SDK Intel® per OpenCL che possono migliorare significativamente le prestazioni di OpenCL generando il codice su FPGA rispetto ad altre piattaforme.



Durata del corso: 2 giorni

Al completamento del corso

Tu sarai in grado di:

- Utilizzare le buone pratiche di progettazione e di codifica per implementare un sistema OpenCL ad alte prestazioni su FPGA
- Applicare diversi metodi per migliorare l'efficienza di elaborazione dei dati del kernel OpenCL
- Migliorare l'efficienza di accesso alla memoria del sistema
- Ottimizzare le operazioni lato host
- Comprendere le caratteristiche specifiche delle FPGA Intel® che permetteranno di migliorare in modo significativo le prestazioni di una soluzione OpenCL

Prerequisiti e competenze necessarie

- Completamento del corso VEC311, Calcolo Parallelo con OpenCL o una buona comprensione degli standard OpenCL

